

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-190584  
 (43)Date of publication of application : 30.07.1993

(51)Int.CI.

H01L 21/56  
 B29C 45/02  
 H01L 23/12  
 H01L 23/29  
 H01L 23/31  
 // B29L 31:34

(21)Application number : 04-090054  
 (22)Date of filing : 17.03.1992

(71)Applicant : MOTOROLA INC  
 (72)Inventor : JUSKEY FRANK J  
 BERNARDONI LONNIE L  
 SWIRBEL THOMAS J  
 MILES BARRY M

(30)Priority

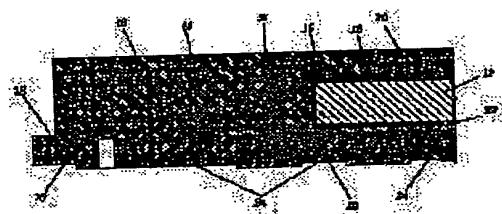
Priority number : 91 670648 Priority date : 18.03.1991 Priority country : US

## (54) TRANSFER-MOLDED SEMICONDUCTOR PACKAGE WITH IMPROVED ADHESIVENESS

## (57)Abstract:

PURPOSE: To improve moisture-proofness, and to strengthen an  $\alpha$ -ray resistance in a transfer-molded package.

CONSTITUTION: A semiconductor device 12 is mounted on a print circuit board 10, and wire bonding-processed so that a transfer-molded pad array chip carrier can be formed. The array of a solderable face 24 may be provided on the bottom face of the print circuit board. A polymer film 18 is applied to the upper faces of the semiconductor device 12, wire bond 16, and print circuit board 10, and cured. The sputter etching of the film 18 is effected in a partial vacuum, and the adhesiveness of a transfer-molded material 20 to the print circuit board 10 can be reinforced. The semiconductor device is capsuled in a transfer molding process. The polymer film 18 acts as a barrier against the radiation of alpha particles. Also, the moisture-proofness of the finished package can be improved, and the stress of the surface of the device can be reduced.



## LEGAL STATUS

[Date of request for examination] 16.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

BEST AVAILABLE COPY

[converted registration]  
[Date of final disposal for application]  
[Patent number] 3173621  
[Date of registration] 30.03.2001  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right] 30.03.2004

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-190584

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/56	T	8617-4M		
B 29 C 45/02		7344-4F		
H 01 L 23/12				
		8617-4M	H 01 L 23/12	L
		8617-4M	23/30	D

審査請求 未請求 請求項の数11(全 5 頁) 最終頁に続く

(21)出願番号	特願平4-90054	(71)出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED RED アメリカ合衆国イリノイ州シャンバーグ、 イースト・アルゴンクイン・ロード1303
(22)出願日	平成4年(1992)3月17日	(72)発明者	フランク・ジェイ・ジャスキー アメリカ合衆国フロリダ州コーラル・スプリングス、ノース・ウェスト・シックスティ イナインス・テラス4103
(31)優先権主張番号	670648	(74)代理人	弁理士 大賀 進介 (外1名)
(32)優先日	1991年3月18日		
(33)優先権主張国	米国(US)		

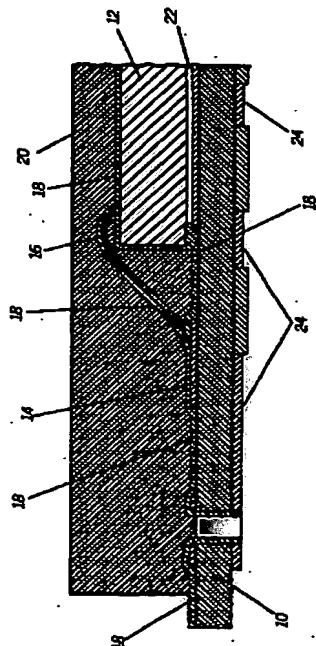
最終頁に続く

(54)【発明の名称】接着性を改善したトランスファ成形された半導体パッケージ

(57)【要約】(修正有)

【目的】トランスファ成形されたパッケージにおいて、その耐湿性を向上し、耐 $\alpha$ 線の強化を目的とする。

【構成】半導体デバイス12をプリント回路板10上に実装して、ワイヤボンディングすることにより、トランスファ成形されたパッド・アレイ・チップ・キャリヤが形成される。プリント回路板の底面には、はんだ付け可能な面24のアレイがあつてもよい。ポリマ皮膜18が半導体デバイス12、ワイヤボンド16およびプリント回路板10の上面に塗布され、硬化される。皮膜18は次に部分真空中でスパッタ・エッティングされて、トランスファ成形材料20のプリント回路板10に対する接着力を強化する。半導体デバイスはトランスファ成形工程によりカプセル化される。ポリマ皮膜18はまた、アルファ粒子の放出に対するバリアの役割も果たして、完成されたパッケージの耐湿性を向上させ、デバイスの表面の応力を小さくする。



1

## 【特許請求の範囲】

【請求項1】 上と下との対向する面を有するプリント回路板；プリント回路板の上面に電気的および機械的に付着された半導体デバイス；半導体デバイスとプリント回路板の上面の少なくとも一部を覆うポリマ皮膜であつて、粗化された表面を有するポリマ皮膜；および半導体デバイスの周囲に形成された、半導体デバイスと、プリント回路板の上面の少なくとも一部とをカプセル化する成形材料であつて、前記ポリマ皮膜の前記粗化面と直接接觸している成形材料；により構成されることを特徴とするトランスファ成形された半導体パッケージ。

【請求項2】 ポリマ皮膜がポリイミドより構成される請求項1記載のパッケージ。

【請求項3】 ポリマ皮膜の粗化面が、ポリマ皮膜をスパッタ・エッチングすることにより形成される請求項2記載のパッケージ。

【請求項4】 半導体パッケージがパッド・グリッド・アレイ・チップ・キャリヤより構成され、前記下面が複数のハンダ付け可能な面を有する請求項1記載のパッケージ。

【請求項5】 プリント回路板が可撓性膜より構成される請求項1記載のパッケージ。

【請求項6】 上と下との対向する面を有するプリント回路板；プリント回路板の上面に電気的および機械的に付着された半導体デバイス；半導体デバイスとプリント回路板の上面の一部を覆うポリイミド皮膜；および集積回路デバイスの周囲に形成された、デバイス全体をカプセル化するプラスチック成形材料であつて、板の上面の実質的にすべてを覆い、前記ポリイミド皮膜と直接接觸している成形材料；によって構成されることを特徴とするトランスファ成形されたチップ・キャリヤ。

【請求項7】 チップ・キャリヤがパッド・グリッド・アレイ・チップ・キャリヤより構成され、前記下面がはんだ付け可能なパッドのアレイを有する請求項6記載のチップ・キャリヤ。

【請求項8】 集積回路デバイスの周囲に形成された、デバイス全体をカプセル化するプラスチック成形材料であつて、その成形材料がプリント回路板の上面に形成されて、成形材料の外周のプリント回路板の上面の一部を露出させている請求項6記載のチップ・キャリヤ。

【請求項9】 トランスファ成形された半導体パッケージを作る方法であつて：対向する面を有するプリント回路板を設ける段階；半導体デバイスを設ける段階；半導体デバイスを、プリント回路板の第1面上に電気的および機械的に実装して、アセンブリを形成する段階；アセンブリをポリマ皮膜で被覆する段階；皮膜をスパッタ・エッチングする段階；および半導体デバイスと、プリント回路板の第1面の実質的にすべての部分との周囲にプラスチック材料をトランスファ成形する段階；によって構成されることを特徴とする方法。

2

【請求項10】 アセンブリを被覆する段階が、アセンブリをポリイミド皮膜で被覆する段階より構成される請求項9記載の方法。

【請求項11】 プリント回路板の第2面上にはんだバンプを設ける最終段階よりさらに構成される請求項9記載の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、一般的に半導体デバイスのためのパッケージに関する。さらに詳しくは、トランシスファ成形された、リード線のない半導体パッケージに関する。

## 【0002】

【従来の技術】 トランシスファ成形された半導体パッケージは、普及型の集積回路パッケージとなっている。トランシスファ成形されたパッド・グリッド・アレイ・パッケージは、常に性能を向上させながら、寸法を小さくして、価格を低く抑えるために行われた試みの中では最も新しいものである。トランシスファ成形されたパッド・グリッド・アレイ・パッケージは、はんだパッドを用いて電気的な接続を行う表面実装デバイスである。標準の間隔（たとえば中心から中心までが100ミル）を有するパッドのアレイが、エポキシ、ポリイミドまたはポリエスチルなどのガラス強化材料から作られたプリント回路板の1面に置かれる。集積回路または半導体デバイスが基板の上面に装着され、集積回路のボンディング・パッドと基板のトレースとの間でワイヤ・ボンドが作られる。次に、集積回路、リード線およびワイヤ・ボンドが、熱硬化性プラスチックのカプセル材で完全に覆われて、パッケージが形成される。カプセル材の樹脂は集積回路チップ、ボンディング・ワイヤおよび基板の部分を囲むように集積回路チップ上に成形される。カプセル材の樹脂が基板の上面だけに成形されるので、樹脂と基板との間の接着が非常に重要となる。これは、樹脂が少なくとも5辺で基板を囲んでいる他のパッケージのような機械的な接着部がないためである。

【0003】 トランシスファ成形を行う際には、カプセルに入れるアセンブリを金型の中に置く。この金型には作成されるカバーの形状を規定するくぼみがある。固体40 ラスチックが加熱されて、圧力下でゲートを通して金型の中に入れられる。熱と圧力によってプラスチックは液化し、集積回路を囲む型の空洞部に流れ込む。この型が加熱されプラスチックが硬化されて、成形されたアセンブリが型から取り出される。トランシスファ成形の基本的特性は、米国特許第4,460,537号により教示される。また、トランシスファ成形されたプラスチック・ピン・グリッド・アレイ・パッケージは米国特許第4,935,581号に教示される。

【0004】 アルファ粒子により起こる半導体デバイス50 のエラーは1978年に初めて記録された。ソフト・エ

ラーとして知られるこのエラーは、能動デバイス領域内をアルファ粒子が通ることにより起こされる、メモリ・セル内に記憶された情報に起こる、無作為の再現不可能な変化として定義されている。アルファ粒子は、プラスチック・パッケージのトランスマルチ層成形材料を作るために用いられる原料内の微量不純物として存在するウラニウムの残留放射線から起こる。プラスチック・パッケージ内の主な放射線源は、成形材料内の充填剤である。ソフト・エラーをなくすための最も直接的な解決策は、成形材料樹脂からすべての放射線の痕跡を除去することである。これは理論的には妥当であるが、ほとんどすべての場合その費用が極端に高く、効率性が依然としてあるために問題となることもある。ソフト・エラーの問題に対処するために、エラー修正アルゴリズムが組み込まれた大規模なメモリ・デバイスもいくつかある。しかし、この技術をより規模の小さな回路に適用することは困難で、費用がかかり、依然としてアルファ粒子の放出とソフト・エラーの問題に対処するための解決策に対する必要性が残る。

【0005】トランスマルチ層成形されたパッド・グリッド・アレイ・パッケージの別の問題は、成形材料と基板とのインターフェースにおいて水分がパッケージの中央部まで透過して、半導体や電気的な相互接続部を腐食させ、エポキシ・ダイ接着剤の劣化を招くことである。従来の解決法では、成形材料を基板の端部の周りに延在させて、基板/成形材料のインターフェースの問題を小さくするか、あるいはなくするようにしていた。しかし、パッド・グリッド・アレイ・パッケージでは、これを行うことができないので、このインターフェースでの水分の透過を減らすための別の方法を見つける必要がある。

【0006】トランスマルチ層成形されたパッケージのさらには別の問題は、成形作業中に応力が誘導されることである。成形材料と半導体デバイスとの間の熱膨張係数の不一致があまりに大きいので、ガラス・バッファ層の割れやデバイスの表面上でアルミニウム導体の実際の移動が起こることがある。この応力が発生するのを軽減するためにバッファ層が半導体デバイスに塗布されるが、この塗布はウェーハ・レベルで行われており、ダイ・ボンド・パッドを保護しておいて後ではがす必要がある。これは費用のかかる方法で、ダイの歩どまりの損失を招く。さらにウェーハ・レベルでのバッファ層は、ダイの厚みを小さくするためによく用いられるパック・ラッピングを妨害する。

【0007】

【発明が解決しようとする課題】プラスチックのパッド・グリッド・アレイの利点は、費用が安く小型であることである。しかしこのような利点があつても、成形材料の接着性、アルファ粒子によるソフト・エラー、バッファ層のコスト、パック・ラップ性および耐湿性などの他の問題がパッド・グリッド・アレイ・パッケージには

残っている。このような固有の問題を克服することでのりきる価格の安いプラスチック・パッケージに対する必要性が存在することは明かである。

【0008】

【課題を解決するための手段】簡単にいうと、本発明により、プリント回路板上に半導体デバイスを実装することにより、トランスマルチ層成形された半導体パッケージが形成される。プリント回路板の底面には、はんだパッドのアレイがある。半導体デバイス、ワイヤボンドおよびプリント回路板の上面にポリマーフィルムが塗布されて硬化される。その後皮膜を、部分真空中でスパッタ・エッティングしてトランスマルチ層成形材料のプリント回路板に対する接着力を強める。半導体デバイスはトランスマルチ層成形過程によりカプセル化される。

【0009】

【実施例】図1では、プリント回路板または回路をのせた基板10が、ランナとワイヤボンド・パッドからなる金属被覆パターン14で形成されている。プリント回路板10は、エポキシ、ポリイミド、改良エポキシまたはポリエスチル樹脂などのガラス強化型の積層構造でよい。半導体デバイス12はプリント回路板10上に実装される。通常、半導体デバイス12は銀を充填したエポキシ接着剤によりプリント回路板に付着される。半導体デバイス12の個々の回路構成の電気的相互接続がワイヤボンド16によりプリント回路板10に対して行われる。電気的な相互接続部ができると、アセンブリはポリイミド樹脂などのポリマーフィルム18により被覆される。ポリイミド18は通常はアセンブリ全体に吹き付けられて、プリント回路板10、半導体12およびワイヤボンド16のすべての露出面を被覆する。ポリイミド皮膜を塗布する好適な方法は吹き付けである。アルファ粒子に対する均一なバリアとなることがわかっている、適当なポリイミドの例は、たとえば、ベンゾフェノン・テトラカルボン酸2無水物とオキシジアニリンから作られる。このような樹脂は、たとえばデラウェア州WilmingtonのDuPont CompanyからPYRALIN(商標)2550、PYRALIN(商標)2750またはPYRALIN(商標)2610という商品名で市販されている。337、348、408のようなその他の同等の材料はCiba-Geigyから得ることができる。このような材料をそれぞれ、固体成分が約10ないし約15%の範囲で塗布する。1枚以上のポリマーフィルムがアセンブリ上に吹き付けられて、ピン・ホールのない均一な皮膜となる。できあがった皮膜の厚みは0.1ミルないし約2ミルで、選択された材料と望ましい皮膜の厚みにより変わる。次に、連続的に段階を経て加熱して、最終温度摂氏300度を最低30分間維持することにより皮膜18が硬化される。材料から溶媒を除き硬化させた後、アセンブリは真空室に入れられてアルゴン/酸素雰囲気中でスパッタ・エッティングされる。スパッタ・エッティング工程の作動圧力は次のとおりである：500な

いし1000ワットで、アルゴン圧力0.1ないし9.9x10-3mbarで1ないし3分、その後500ないし1000ワットで酸素圧力0.1ないし9.9x10-2mbarで2ないし4分間。このようなスパッタ・エッティング処理により、表面が粗くなり成形材料とポリイミドとの間の接着力が増大すると信じられている。ここでアセンブリは、ポリマ皮膜18を持ち、これが半導体デバイス16の表面への水分のバッシベーションに対するバリアおよびアルファ粒子に対するバリアになる。次にアセンブリはトランスファ成形装置に入れられて、トランスファ成形カバー20が、半導体デバイス、ワイヤボンドおよび基板10の上面の周囲に成形される。

【0010】図2では、ポリイミド18の均一な皮膜が半導体デバイスとワイヤボンドのすべての露出面上に塗布されていることがわかる。これは、成形材料20内の充填剤と、半導体デバイス12との間のアルファ粒子に対するバリアとなり、さらに、水分のバッシベーションに対するバリアとなって、銀を充填したエポキシ・ダイ接着材料22に水分が進入することを防ぐ。プリント回路板10の表面上の均一なポリイミドの皮膜はまた、成形材料20のプリント回路板10に対する接着力を向上させる役割もする。

【0011】基板10の底面上に、複数のはんだ付け可能な面24がある。このはんだ付け可能な面24は通常は基板19内に形成された金属層に線描きされているパッドである。はんだ付け可能な面24をさらに処理して、はんだパンプを含むようにしてもよい。

【0012】ポリイミド皮膜の効力を評価するために、いろいろな基板に対する成形材料の接着力を、インストロン引張りテスターを用いて測定した。トランスファ成形材料が何も被覆のないプリント回路板に塗布されたときは、プリント回路板に対する引張り接着力は約200ps<sup>i</sup>であることがわかった。プリント回路板をポリイミドで被覆して、スパッタ・エッティングを行っていな

いときは、引張り接着力は約180ps<sup>i</sup>であった。トランスファ成形の前にポリイミド皮膜をスパッタ・エッティングすると、引張り接着強度は大きく向上し、測定された引張り接着力は約590ps<sup>i</sup>であった。皮膜されエッティングされた基板の不良のメカニズムは、基板の密着不良であり、それに対して成形材料/基板のインターフェースの不良は接着不良であることがわかった。

【0013】その結果、トランスファ成形に先立ってスパッタ・エッティングを施したポリイミド・バッファ皮膜を半導体デバイス、ワイヤボンドおよび基板上に塗布すると、次のようないくつかの利点がある：1) 基板に対する成形材料の接着力が向上する、2) ダイの表面と成形材料との間の応力が小さくなり、それによってパッケージの信頼性が向上する、3) 銀を充填したエポキシ・ダイ接着剤の耐湿性が改善される、4) アルファ粒子の放出によるソフト・エラー不良が改善される、5) ダイのパック・ラッピングを行うことが可能になり、ダイの厚みを小さくし熱移動を向上させる、6) バッファ皮膜を撮像することによる、ウェーハ層における歩どまりの損失がないので、処理のコストが下がる。

#### 【図面の簡単な説明】

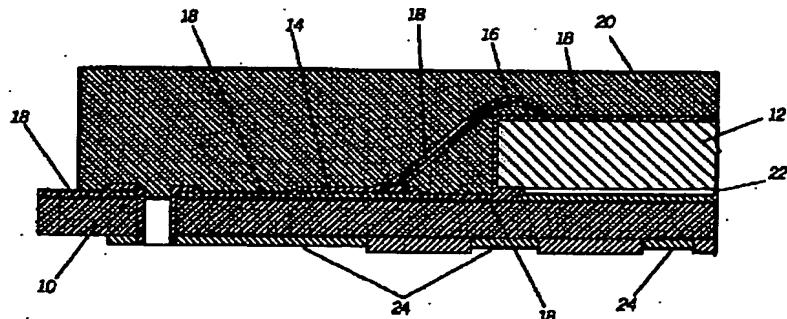
【図1】本発明によるトランスファ成形された半導体デバイスの表層を取った等角図である。

【図2】図1のトランスファ成形された半導体デバイスの2-2部分の断面図である。

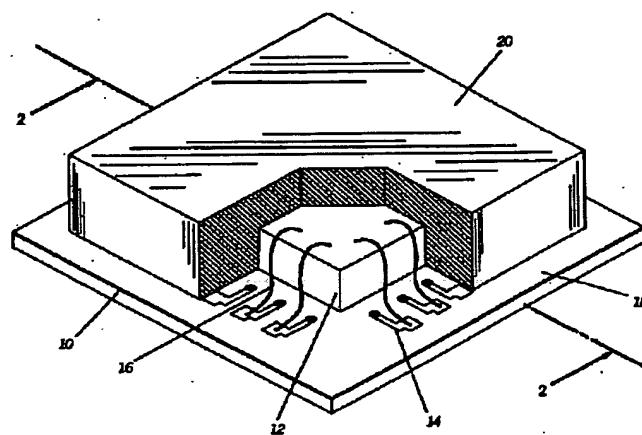
#### 【符号の説明】

- 10 プリント回路板
- 12 半導体デバイス
- 14 金属被覆バーン
- 16 ワイヤボンド
- 18 皮膜
- 20 成形材料
- 22 ダイ接着剤
- 24 はんだ付け可能な面

【図2】



【図1】



## フロントページの続き

(51) Int.Cl.<sup>5</sup>  
 H 01 L 23/29  
 23/31  
 // B 29 L 31:34

識別記号

庁内整理番号

F I

技術表示箇所

(72)発明者 ロニー・エル・ペルナード二二  
 アメリカ合衆国フロリダ州コーラル・スプ  
 リングス、コーラル・クラブ・ドライブ  
 981

(72)発明者 トマス・ジェイ・スワーベル  
 アメリカ合衆国フロリダ州デビー、サムタ  
 ー・アベニュー501  
 (72)発明者 パリー・エム・マイルズ  
 アメリカ合衆国フロリダ州ブランテーショ  
 ン、ノース・ウェスト・エイツ・サークル  
 9610